

⑫ 公開特許公報(A) 平4-91519

⑤ Int. Cl.⁵H 03 M 7/00
G 06 F 7/00
9/305

識別記号

庁内整理番号

7259-5J

⑬ 公開 平成4年(1992)3月25日

2116-5B G 06 F 7/00

2116-5B

9189-5B

9/30

3 4 0

C
G
A

審査請求 未請求 請求項の数 6 (全10頁)

⑭ 発明の名称 ブライオリティーエンコーダ及びこれを用いた半導体集積回路

⑯ 特 願 平2-208483

⑰ 出 願 平2(1990)8月6日

⑱ 発 明 者 河 本 正 巳 東京都小平市上水本町5丁目22番1号 日立マイクロコンピュータエンジニアリング株式会社内

⑲ 発 明 者 塚 元 卓 東京都小平市上水本町5丁目22番1号 日立マイクロコンピュータエンジニアリング株式会社内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

\(出 願 人 日立マイクロコンピュータエンジニアリング株式会社 東京都小平市上水本町5丁目22番1号

\(代 理 人 弁理士 玉村 静世

明 細 書

1. 発明の名称

ブライオリティーエンコーダ及びこれを用いた
半導体集積回路

2. 特許請求の範囲

1. 外部から供給される複数ビットの情報を並列
的に入力してラッチ可能なラッチ回路と、

前記複数個のラッチ回路に保持されている並
列情報を受け、該情報のビット列における所定
位置から最も近い位置にある所定論理値のビッ
トと他のビットを区別可能な識別ビット列を生
成して外部に出力するビット位置検出回路と、

前記ビット位置検出回路から外部に出力すべ
き識別ビット列を受け、該識別ビット列におい
て他のビットと区別される特定ビット位置に応
ずるラッチ回路の保持ビットを反転させるリセ
ット論理回路と、

を含んで成るものであることを特徴とするブ
ライオリティーエンコーダ、

2. 外部から供給される複数ビットの情報を並列

的に入力して保持可能なセット・リセット型の
複数個のフリップフロップの列と、

前記フリップフロップ列に保持されている並
列情報を受け、該情報のビット列における所定
位置から最も近い位置にある所定論理値のビッ
トと他のビットを区別可能な識別ビット列を生
成して外部に出力するビット位置検出回路と、

前記ビット位置検出回路から外部に出力すべ
き識別ビット列を前記フリップフロップ列のリ
セット端子に帰還させて、該識別ビット列にお
いて他のビットと区別される特定ビット位置に
応ずるフリップフロップの保持ビットを反転さ
せる帰還経路と、

を含んで成るものであることを特徴とするブ
ライオリティーエンコーダ、

3. 請求項1又は2記載のブライオリティーエン
コーダを含んで成るものであることを特徴とす
る半導体集積回路、

4. 命令の解釈手段と、この解釈結果に基づいて
制御を行う制御手段と、制御手段によって制御

されて命令を実行する実行手段とを含む半導体集積回路であって、

前記実行手段は請求項1又は2記載のプライオリティーエンコーダを含み、

前記命令解読手段はマルチレジスタ転送命令を解読する論理を含み、

前記制御手段は、マルチレジスタ転送命令の解読結果に基づいて、マルチレジスタ転送命令に含まれるレジスタリスト情報をプライオリティーエンコーダに供給して出力される転送先レジスタ指定情報を受け、これによって指定されるレジスタとの間でデータ転送を行う論理を含んで、

成るものであることを特徴とする半導体集積回路。

5. 命令の解読手段と、この解読結果に基づいて制御を行う制御手段と、制御手段によって制御されて命令を実行する実行手段とを含む半導体集積回路であって、

前記実行手段は請求項1又は2記載のプライ

オリティーエンコーダを含み、

前記命令解読手段はビットフィールドに対するビットサーチ命令を解読する論理を含み、

前記制御手段は、ビットサーチ命令の解読結果に基づいて、該命令のオペランドをプライオリティーエンコーダに供給してそこから出力される情報を一時記憶させる論理を含んで、

成るものであることを特徴とする半導体集積回路。

6. 前記解読手段、制御手段、及び実行手段を含む中央処理装置を備えてマイクロコンピュータ化されて成るものであることを特徴とする請求項4又は5記載の半導体集積回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はプライオリティーエンコーダ及びこれを用いた半導体集積回路、さらにはマイクロコンピュータに関し、例えばマルチレジスタ転送命令やビットサーチ命令の実行サイクル短縮に適用して有効な技術に関するものである。

〔従来の技術〕

複数個のレジスタの保持情報を転送する場合にレジスタ転送命令毎に1個のレジスタを指定して命令を実行していたのでは処理効率が悪いので、1命令で複数個のレジスタからメモリにデータ転送を行うことができるようなマルチレジスタ転送命令をサポートするマイクロコンピュータが提供されており、例えば日立マイクロコンピュータ・データブック・8ビット/16ビットマルチチップ(昭和58年9月発行)に記載されているHDB 8000がある。

例えばマルチレジスタ転送命令は、複数個のレジスタ指定フィールド若しくはレジスタリストを有し、同レジスタ指定フィールドのビット列の各ビットにはレジスタ番号が割り当てられていて、選択されるべきレジスタ番号は論理1のビットによって指定するようになっている。斯るレジスタ指定フィールドから転送対象とされるレジスタ番号を得るには、そのビット列に含まれる論理1のビット位置を検出することが必要になる。従来は

レジスタ指定フィールドのビット列を1ビットづつ下位側にシフトしてその最下位ビットの論理値を順番に調べていた。

また、メモリのデータの格納領域はデータ処理単位であるバイト或いはワードを最小単位とするが、データ処理内容によってはバイト境界やワード境界をまたいだ領域(ビットフィールド)のデータを処理しなければならないような場合があり、このときには、メモリアクセスデータなどにおいて所要のビット位置を検出してビットフィールドのデータを取得しなければならない。このような場合にもバイト或いはワード単位でアクセスしたデータに対して1ビットシフト処理を繰り返しながら所要論理値のビット位置を探していた。

〔発明が解決しようとする課題〕

しかしながら、従来のようにビット列の中から所要論理値のビット位置を探すために1ビットシフト処理を繰り返す技術では、目的ビットに到達するまでに無駄な処理ステップを繰り返すことになる。例えばレジスタ指定フィールドの上位側

に論理1のビットが存在している場合、下位側から1ビットづつシフトしてその論理値を調べていくと、上位側の目的ビットに到達するまでには実質的に無駄な処理サイクルを繰り返さなければならない。これにより、マルチレジスタ転送命令によって複数個のレジスタ転送を1命令で実行することができても実行サイクル数はそれ程少なくなる場合があり、例えば汎用レジスタ方式が採用されているようなマイクロコンピュータにおいて、割込み発生によるスタックをマルチレジスタ転送命令で対処してもスタック処理の高速化には限界があった。ビットサーチ命令についても同様に命令実行時間を短縮することができなかった。

本発明の目的は、ビット列に対してこれに含まれる所要論理値のビット位置を短時間に調べることができるプライオリティーエンコーダを提供することにある。

本発明の別の目的は、マルチレジスタ転送命令の実行時間を短縮することができる半導体集積回路を提供することにある。

理値のビット位置を1個づつ示す識別ビット列を、初期ラッチ情報に含まれる所定論理値のビット数に應ずる回数をもって連続的に出力するように、プライオリティーエンコーダを構成するものである。

このプライオリティーエンコーダにおいて、ラッチ回路とリセット論理回路はセット・リセット型のフリップフロップ列によって構成することができる。

命令の解説手段と、この解説結果に基づいて制御を行う制御手段と、制御手段によって制御されて命令を実行する実行手段とを含む半導体集積回路に上記プライオリティーエンコーダを含める場合、このプライオリティーエンコーダは、マルチレジスタ転送命令によってデータ転送を行うレジスタの種類をレジスタ指定フィールドのビット列から取得する処理や、ビットサーチ命令を実行するときのオペランドから所定論理値のビット位置を検出する処理などに適用することができる。

斯る半導体集積回路はマイクロコンピュータな

本発明のさらに別の目的は、ビットサーチ命令の実行時間を短縮することができる半導体集積回路を提供することにある。

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述並びに添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

すなわち、外部から供給される複数ビットの情報を並列的にラッチ回路で保持し、これに保持されている並列情報をビット位置検出回路で受け、該情報のビット列における所定位置から最も近い位置にある所定論理値のビットと他のビットを区別可能な識別ビット列を生成して出力すると共に、この識別ビット列をリセット論理回路に戻して、該識別ビット列において他のビットと区別される特定ビット位置に應ずるラッチ回路の保持ビットを反転させるようにして、順次ラッチ回路の保持情報を更新しながら、ビット列に含まれる所定論

どとして構成することができる。

〔作用〕

上記した手段よれば、外部から供給される情報をラッチ回路が保持した後、ビット位置検出回路はその初期ラッチ情報に含まれるビット列の最上位又は最下位から最も近い位置にある所定論理値のビットとその他のビットとを区別する識別ビット列を出力する。この識別ビット列が供給されるリセット回路は、識別ビット列において他のビットと区別される所定ビットにより、これに対応する所定論理値のビットだけを論理反転するようにしてラッチ回路の保持情報を更新する。この更新されたラッチ情報に対しても同様の処理が施されることにより、初期ラッチ情報において上位側又は下位側から第2番目に近い位置の所定論理値ビットの位置を示すビット列が出力される。したがって、例えば論理1のビットを2ビット含む8ビットのビット列(00100100)から論理1のビット位置を探すとき、2回の出力動作によって夫々のビット位置を示す情報(00100000

0), (00000100) が連続的に得られる。これにより、ビット列に対してこれに含まれる所要論理値のビット位置探索処理時間の短縮を達成する。

〔実施例1〕

第1図には本発明の一実施例に係るプライオリティエンコーダが示される。

このプライオリティエンコーダ1は、特に制限されないが、8ビットのビット列を入力して処理するものであり、2ビットの入力を1単位とする論理ブロック2～5を含み、それらは相互に同じ回路構成を持ち、外部から8ビットの入力ビット列（入力データとも記す）Ia～Ihが与えられ、それに対する処理結果として8ビットの識別ビット列（以下単に識別データとも記す）Oa～Ohを外部に出力する。

第1図において6a～6hはセット・リセット型のフリップフロップの列、7はビット位置検出回路、9a～9hは識別ビット列Oa～Ohを夫々のフリップフロップ6a～6hのリセット端子

に帰還する帰還経路である。

前記フリップフロップ6a～6hは、例えば3入力型ノアゲートNOR1, NOR2によって構成されたスタティック型ラッチ回路を主体に、クロック信号CLK1の立上り変化に同期して入力ビット列Ia～Ihをラッチ回路に取り込むためのアンドゲートAND1, AND2と、クロック信号CLK2の立上り変化に同期して識別ビット列Oa～Ohを取り込むためのアンドゲートAND3を含む。このアンドゲートAND3は論理1入力によってスタティック型ラッチ回路のラッチ情報を論理0にリセットするための論理として機能する。このフリップフロップ6a～6hにおいて、ノアゲートNOR1の出力が正転出力とされ、ノアゲートNOR2の出力が反転出力とされる。

前記ビット位置検出回路7は、前記フリップフロップ6a～6hに保持されている並列情報を受け、該情報のビット列における最下位ビットから最も近い位置にある論理1のビットをそのままの論理1に保つと共にそれ以外のビットを全て論理

0にして当該他のビットと区別可能にした前記識別ビット列Oa～Ohを生成して出力するものである。例えば、夫々の論理回路ブロック2～5毎に検出論理ユニット12～15を有し、各ユニットは2入力ナンドゲートNAND1と、2個の3入力ナンドゲートNAND2, NAND3と、夫々のナンドゲートNAND1～NAND3の出力を受けるインバータINV1～INV3を含む。初段検出論理ユニット12において3個のナンドゲートNAND1～NAND3には論理1に固定された信号Maが共通に供給されると共に、ナンドゲートNAND1の他の入力にはフリップフロップ6aの正転出力（ノアゲートNOR1の出力）が供給され、ナンドゲートNAND2の残りの入力にはフリップフロップ6a, 6bの反転出力（ノアゲートNOR2の出力）が、そしてナンドゲートNAND3の残りの入力にはフリップフロップ6bの正転出力（ノアゲートNOR1の出力）とナンドゲートNAND1の出力が供給される。前記インバータINV2の出力は次段検出論理ユ

ニットのための信号Mbとして当該ユニットに含まれる3個のナンドゲートNAND1～NAND3に供給され、順次信号Mc～Mdが後段の論理ユニットへと伝達されるようになっている。

夫々の検出論理ユニット12～15において、ナンドゲートNAND1は2入力共に論理1のとき、対応するフリップフロップが保持する論理1をそのままの論理レベルでインバータINV1から出力させる。ナンドゲートNAND3は、その直近の上位ビット側のナンドゲートNAND1の出力を受ける結果、直近上位ビットのフリップフロップが論理1を保持するときはインバータINV3の出力を論理0に強制する。ナンドゲートNAND2は、自分自身を含む検出論理ユニット及びその上位側全ての検出論理ユニットの何れの出力も論理0である場合にはインバータINV2の出力を論理1にして次段に伝達するが、自分自身を含む検出論理ユニット又はその上位側の検出論理ユニットの何れかの出力が論理1である場合にはインバータINV2の出力を論理0にして次段

に伝達する。

22～25は各検出論理ユニット12～15におけるインバータINV1, INV3の出力を外部に与えるための出力回路であり、各検出論理ユニットにおけるインバータINV1, INV3の出力を受けるクロックドインバータCINV1, CINV2と、それらの出力を反転するインバータINV4, INV5によって構成される。クロックドインバータCINV1, CINV2はクロック信号CLK3のローレベル期間において出力可能にされる。

第2図には上記プライオリティーエンコーダ1の動作の一例タイミングチャートが示される。

プライオリティーエンコーダ1への入力ビット列Ia～Ihが例えば「11000001」（左側が最下位ビット）であるとする、クロック信号CLK1の論理1への変化（時刻t1）に同期してその入力ビット列Ia～Ihがフリップフロップ6a～6hに並列的にラッチされる。ラッチされた情報は、ビット位置検出回路7に供給され

このビット列は前記初期入力ビット列Ia～Ih即ち「11000001」の最下位ビットに論理1のビットを含むことを意味する。

前記識別ビット列Oa～Oh即ち「10000000」は掃選経路9a～9hを介してフリップフロップ6a～6hのリセット端子に供給される。

これによりクロック信号CLK2のハイレベルへの変化（時刻t3）に同期して論理1のビットを取り込む初段フリップフロップ6aがリセットされ、論理0のビットを取り込むことになるそれ以外のフリップフロップ6b～6hはリセットされずに初期入力ビットIb～Ihを維持する。これによりフリップフロップ6a～6hは「01000001」なる第1中間値を保持することになる。この第1中間値は同様にビット位置検出回路7に供給され、前記同様の論理動作によって初段検出論理ユニット12のナンドゲートNAND3の出力が論理0にされ、その他のナンドゲートNAND1～NAND3の出力は論理1にされる。したがって、時刻t4にクロック信号CLK3が

る。この例に従えば、Ma=論理1、Ia=論理1であるから、フリップフロップ6aはセット状態にされて、その正転出力（ノアゲートNOR1の出力）が論理1（ノードNa）になり、初段検出論理ユニット12のナンドゲートNAND1の出力は論理0にされる。これに応じて当該初段検出論理ユニット12におけるナンドゲートNAND3の出力は、フリップフロップ6bの保持情報が論理1（ノードNb=論理1）であるにも拘らず論理1にされる。また、初段検出論理ユニット12におけるナンドゲートNAND2の出力はフリップフロップ6aが論理1情報を保持しているため論理1にされ、これに応じて論理0を採る信号Mbが次段検出論理ユニットに供給される結果、第2段目から最終段の検出論理ユニット13～15に含まれる全てのナンドゲートNAND1及びNAND3の出力は論理1にされる。したがって、時刻t2にクロック信号CLK3がハイレベルに反転されるとこれに同期して出力される識別ビット列Oa～Ohは「10000000」とされる。

ハイレベルに反転されると、これに同期して出力される識別ビット列Oa～Ohは「01000000」とされる。このビット列は前記初期入力ビット列Ia～Ih即ち「11000001」の最下位ビットから第2番目のビットに論理1のビットを含むことを意味する。

前記識別ビット列Oa～Oh即ち「01000000」は掃選経路9a～9hを介してフリップフロップ6a～6hのリセット端子に供給される。これによりクロック信号CLK2のハイレベルへの変化（時刻t5）に同期して論理1のビットを取り込むフリップフロップ6bがリセットされ、論理0のビットを取り込むことになるそれ以外のフリップフロップ6a, 6c～6hはリセットされず、これにより「01000001」なる第1中間値は「00000001」なる第2中間値に更新される。この第2中間値において、第3ビット目から最上位ビットまでは初期入力ビットIc～Ihと等しい論理値を保持している。この第2中間値も同様にビット位置検出回路7に供給され、

前記同様の論理動作によって各検出論理ユニット12~15に含まれるのナンドゲートNAND1及びNAND3のうち最終段検出論理ユニット15のナンドゲートNAND3の出力が論理0にされる。したがって、時刻t6にクロック信号CLK3がハイレベルに反転されると、これに同期して出力される識別ビット列Oa~Ohは[000000001]とされる。このビット列は前記初期入力ビット列Ia~Ih即ち[110000001]の最上位ビットに論理1のビットを含むことを意味する。

この識別ビット列Oa~Oh即ち[000000001]は帰還経路9a~9hを介してフリップフロップ6a~6hのリセット端子に供給される。これによりクロック信号CLK2のハイレベルへの変化(時刻t7)に同期して論理1のビットを取り込むフリップフロップ6hがリセットされ、これにより[000000001]なる第2中間値は[000000000]なる第3中間値に更新される。この第3中間値も同様にビット位置検出回

によって各動作サイクルCYC毎に出力されてくるから、論理1のビット位置を各動作サイクルCYC毎に連続的に取得することができる。

(3) 識別ビット列Oa~Ohが全ビット論理0にされた状態をもって最早有効なビット位置情報が出力されてこないことを知ることができる。

(4) 上記夫々の作用効果により、ビット列Ia~Ihに対してこれに含まれる論理値1のビット位置を順次短時間に調べることができる。

【実施例2】

第3図には第1図に示されるようなプライオリティエンコーダ1を利用したマイクロコンピュータの一実施例が示される。

同図に示されるマイクロコンピュータ30は、特に制限されないが、インタフェース部31、命令制御部32、命令実行部33などがシリコンのような1個の半導体基板に形成されて成る。

命令制御部32は、特に制限されないが、図示しないプログラムカウンタの値に基づいてマクロ命令を命令キュー40にプリフェッチさせ、命令

路7に供給されるが、全ビット論理0であるため、全てのナンドゲートNAND1及びNAND3の出力が論理1にされる。したがって、時刻t8にクロック信号CLK3がハイレベルに反転されると、これに同期して出力される識別ビット列Oa~Ohは[000000000]とされ、前記初期入力ビット列Ia~Ihには論理1の別のビットは最早存在しないことを意味する。

上記実施例によれば以下の作用効果を得ることができる。

(1) 初期入力ビット列Ia~Ihにランダムに含まれる論理1のビット位置は、クロック信号によって規定される各動作サイクルCYC毎に出力される識別ビット列Oa~Ohの内容(それに含まれる論理1を示す1ビットの位置)によって知ることができる。

(2) 有効な位置情報ビットを含む識別ビット列Oa~Ohは、初期入力ビット列Ia~Ihに含まれる論理1のビット配置がどのような配置であっても、また何ビットあっても、クロック信号に

キュー40から出力されるマクロ命令をマイクロアドレスコントローラ41が受け、これが出力するマイクロアドレスによってマイクロROM42から順次マイクロ命令を制御部43に読出しながらインタフェース部31や命令実行部33を制御して命令を実行させるようになっている。マイクロROM42は各種マクロ命令毎に種々のマイクロ命令系列を備えたマイクロプログラムを保有する。前記マイクロアドレスコントローラ41はマクロ命令をデコードして当該命令に対応するマイクロ命令系列の先頭マイクロ命令アドレスを生成して出力する。マイクロ命令系列におけるそれ以降のマイクロ命令アドレスは直前に読出されたマイクロ命令のネクストアドレス情報を利用してマイクロアドレスコントローラ41が指定する。このマイクロアドレスコントローラ41はマイクロプログラムの分岐制御も行ったりする。制御部43はマイクロ命令をデコードするためのマイクロ命令デコーダやその他の制御論理を有し、マイクロ命令デコーダの出力制御信号やその他の制御論

理などを通じた各種制御信号をインタフェース部31及び命令実行部33などに出力する。

前記命令実行部33はレジスタアレイ50、算術論理演算回路51、前記実施例のプライオリティエンコーダ1、アドレス演算回路52などを含む。レジスタアレイ50はデータの一時記憶に利用されるような汎用レジスタ群やアキュムレータなどを含み、リードデータバス53及びライトデータバス54に接続される。リードデータバス53はプライオリティエンコーダ1のデータ入力端子や算術論理演算回路51のデータ入力端子に結合され、プライオリティエンコーダ1のデータ出力端子は算術論理演算回路51のデータ入力端子や制御部43に接続され、また、算術論理演算回路51のデータ出力端子はライトデータバス54に結合される。

インタフェース部31は、命令キュー40、リードデータバス53、ライトデータバス54、アドレス演算回路52、制御部43に接続され、外部との間でデータ、アドレス、制御信号を入出力

する。

このマイクロコンピュータ30は、特に制限されないが、メモリやレジスタに対するデータ転送命令、そして各種算術演算や論理演算のための演算命令をサポートするが、特に、マルチレジスタ転送命令及びビットフィールドに対するビットサーチ命令の双方もサポートする。

マルチレジスタ転送命令は、例えば第4図のようにオペレーションコード指定フィールド60と、複数個の転送元レジスタを指定するためのレジスタ指定フィールド61と、転送先メモリアドレスの指定フィールド62を含むフォーマットを有し、そのレジスタ指定フィールド61のビット列B1～B8の各ビットにはレジスタ番号が割り当てられていて、選択されるべきレジスタ番号は論理1のビットによって指定されるようになっている。斯るレジスタ指定フィールド61から転送対象とされるレジスタ番号を得るには、そのビット列B1～B8に含まれる論理1のビット位置をプライオリティエンコーダ1で検出し、その結果を制

御部43に与えてレジスタ選択信号63を生成するようになっている。例えば、命令キュー40にプリフェッチされているマルチレジスタ転送命令を実行するとき、そのオペレーションコードはマイクロアドレスコントローラ41に供給されてデコードされ、そのデコード結果に基づいて当該命令を実行するためのマイクロ命令が順次マイクロR.O.M.42から読出されて制御部43に供給される。レジスタ指定フィールド61に含まれるビット列B1～B8はリードバス53を経由してプライオリティエンコーダ1に供給される。そのビット列B1～B8は第1図で説明した初期入力ビット列Ia～Ihに相当し、プライオリティエンコーダ1は、当該ビット列B1～B8において最下位ビットから最も近い位置の論理1のビットを検出して順次識別ビット列を制御部43に与える。前記実施例で説明した動作サイクルCYCは本実施例に従えばマイクロ命令の1命令処理ステップに呼応され、動作サイクルCYC毎に、プライオリティエンコーダ1から出力される識別ビ

ット列とマイクロ命令のデコード結果とが所定の制御論理43Lに与えられ、これによって形成されるレジスタ選択信号63によりレジスタアレイ50に含まれる所定のレジスタが選択される。例えばビット列B1～B8が[11000001]であるとする、最初の動作サイクルCYCではビットB1に割り当てられているレジスタが選択され、次のサイクルではビットB2に割り当てられているレジスタが選択され、さらに次のサイクルではビットB8に割り当てられているレジスタが選択される。このようにしてマイクロ命令の処理ステップ毎に指定されるレジスタに対しては、その保持情報が図示しないメモリに転送される。

次にビットサーチ命令について説明する。

メモリのデータの格納領域は例えばマイクロコンピュータ30によるデータ処理単位であるバイト(8ビット)を最小単位とするが、データ処理内容によっては第5図に示されるようにバイト境界をまたいだ領域(ビットフィールド)のデータ例えばアドレスAiのビットD3からアドレスA

jのビットD2までの8ビットを一単位として処理しなければならないような場合があり、このときはバイト境界毎にアクセスされるメモリデータに対して所要のビット位置を検出して所要のビットフィールドを取得しなければならない。このようなメモリアクセスデータに対して所要のビット位置を検出する処理をビットサーチ命令によって行う。例えばアドレスA_iのバイトデータD1～D8において、最下位ビットD1から最も近い位置にある論理1のビットを起点にバイト境界を超えて8ビットのデータを取得するためのビットサーチ命令がデコードされると、アドレス演算回路33がアドレスA_iを出力して図示しない外部メモリから当該アドレスA_iに対応するバイトデータD1～D8が読み込まれる。このメモリアクセスデータD1～D8はリードバス53を介してプライオリティエンコーダ1に供給され、これにより、データD1～D8の中で最下位ビットD1に最も近い位置の論理1のビット位置を示す情報が出力される。例えばビットD3が最下位ビット

できる。

(3) 上記作用効果により、汎用レジスタ方式が採用されているようなマイクロコンピュータにおいて、割込み発生によるスタックをマルチレジスタ転送命令で対処するとき、スタック処理の高速化を図ることができる。

(4) ビットサーチ命令のオペランド即ちメモリアクセスデータを受けるプライオリティエンコーダの出力は、そのメモリアクセスデータに含まれる論理1のビット位置を示す情報をマイクロ命令の処理サイクル毎に得ることができる。

(5) 上記作用効果(4)により、従来のようにビット列の中から所要論理値のビット位置を探すために1ビットシフト処理を繰り返す必要はないので、実質的に無駄な処理ステップを繰り返す必要はなく、ビットサーチ命令の実行サイクル数を最小限に減らすことができ、ビットサーチ命令の実行時間を短縮することができる。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限

に最も近い論理1のビットである場合、プライオリティエンコーダ1は[0010000]のビット列を持つ識別ビット列を出力する。この識別ビット列は算術論理演算回路51をそのまま通ってレジスタアレイ50内部の所定レジスタに格納される。このようにして格納された識別ビット列に基づいてバイト境界を超えた8ビットのデータに対して所要のビット位置の検出が行われる。

上記実施例によれば以下の作用効果がある。

(1) プライオリティエンコーダはレジスタ指定フィールドに含まれる論理1のビットを示す識別ビット列を動作サイクルCYC毎に順次連続的に出力するから、従来のようにビット列の中から所要論理値のビット位置を探すために1ビットシフト処理を行う必要はなく、目的ビットに到達するまでに無駄な処理ステップを繰り返さなくてもよい。

(2) 上記作用効果により、マルチレジスタ転送命令によって複数のレジスタ転送を1命令で実行するときの命令実行サイクル数を減らすことが

定されるものではなく、その要旨を逸脱しない範囲において種々変更することができる。

例えばプライオリティエンコーダの処理するビット列は8ビットに限定されず16ビットや32ビットなどデータ処理単位などに基づいて適宜変更可能である。また、上記実施例では論理1のビット位置を最下位ビットに近い方から検出していく論理について説明したが、最上位ビットから近い順に探したり、或いは任意のビット位置を基準にしてもよく、また、検出すべき論理は論理0であってもよい。また、フリップフロップに含まれるスタティックラッチ回路の論理やリセットの論理、さらにはビット位置検出論理などは適宜変更可能である。

以上の説明では主として本発明者によってなされた発明をその背景となったマイクロコンピュータに適用した場合について説明したが、本発明はそれに限定されるものではなく、画像処理用のコントローラやその他の論理LSIなど各種の半導体集積回路に広く適用することができる。本発明

は、少なくともビット列から所定論理のビット位置を得ることが必要な条件のものに適用することができる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

すなわち、プライオリティーエンコーダは、ラッチ回路に保持されている並列ビット列に対して基準位置から最も近い所定論理値のビット位置を探して出力し、その出力により探し出された位置のビットにより直前のラッチビットをリセットもしくは反転する動作を繰り返して行くから、ビット列にランダムに含まれる所定論理値のビット位置を動作サイクルに従って連続的に取得することができ、これにより、ビット列に対してこれに含まれる所要論理値のビット位置探索処理時間を短縮することができるという効果がある。

データ処理を行うマイクロコンピュータなどの半導体集積回路に前記プライオリティーエンコー

ダを含めることにより、マルチレジスタ転送命令によってデータ転送を行うレジスタの種類をレジスタ指定フィールドのビット列から取得する処理や、ビットサーチ命令を実行するときのときのオペランドから所定論理値のビット位置を検出する処理などに対する命令実行サイクル数を減らすことができるという効果がある。

このようなプライオリティーエンコーダをマイクロコンピュータに適用することにより、マイクロコンピュータの機能向上に寄与することができる。

4. 図面の簡単な説明

第1図は本発明に係るプライオリティーエンコーダの一実施例論理回路図。

第2図は第1図に示されるプライオリティーエンコーダの一例動作を説明するためのタイミングチャート。

第3図は第1図のプライオリティーエンコーダを含むマイクロコンピュータの一実施例ブロック図。

第4図はマルチレジスタ転送命令の一例命令フォーマット図。

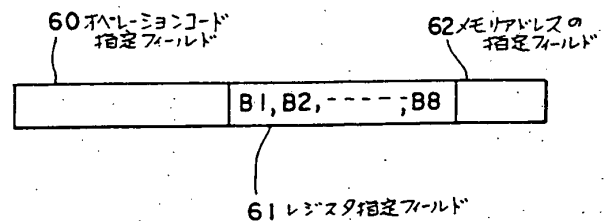
第5図はビットフィールドの一例を示す説明図である。

1…プライオリティーエンコーダ、2～5…論理ブロック、Ia～Ih…入力ビット列、Oa～Oh…出力ビット列、6a～6h…フリップフロップ、7…ビット位置検出回路、9a～9h…帰還経路、NOR1、NOR2…スタティックラッチ構成用ノアゲート、AND3…リセット論理構成用アンドゲート、12～15…検出論理ユニット、30…マイクロコンピュータ、32…命令制御部、33…命令実行部、41…マイクロアドレスコントローラ、42…マイクロROM、43…制御部、50…レジスタアレイ。

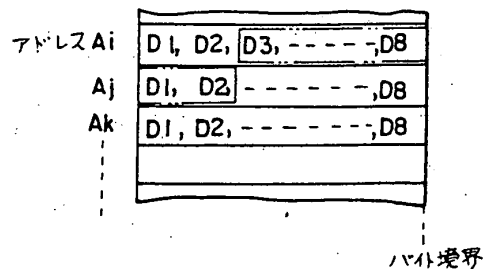
代理人 井 理 士 玉 村 静 世

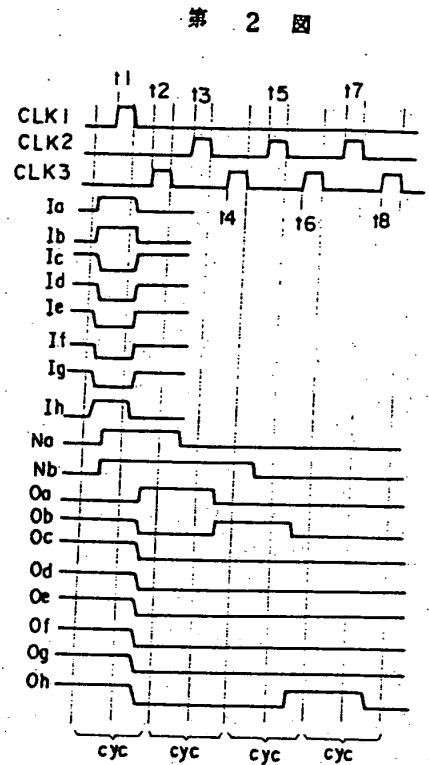
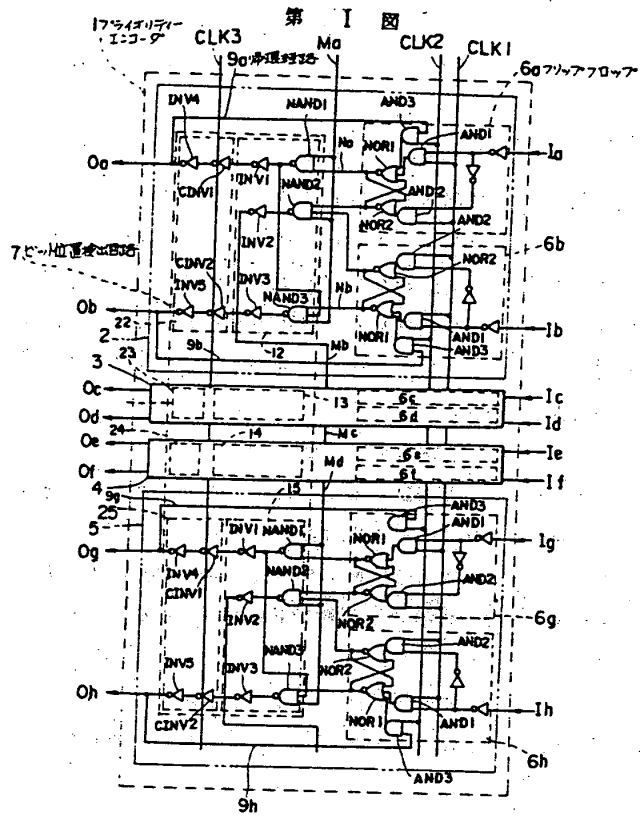


第 4 図

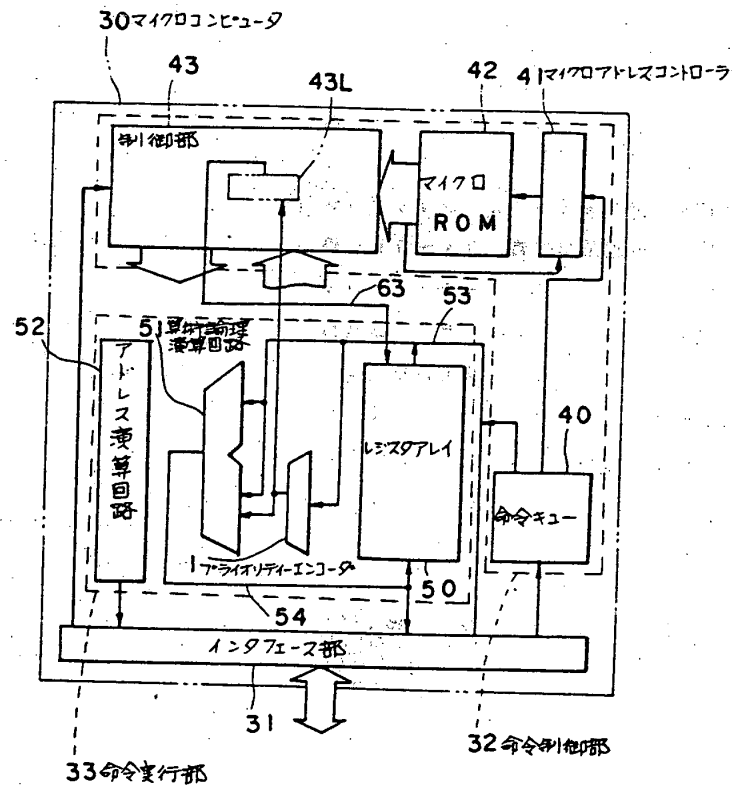


第 5 図





第 3 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.